

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-225006

(43)Date of publication of application : 03.10.1987

(51)Int.Cl. H03B 5/36

(21)Application number : 61-069015 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

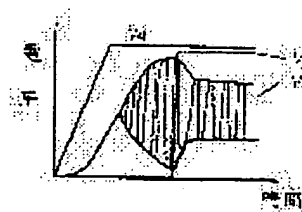
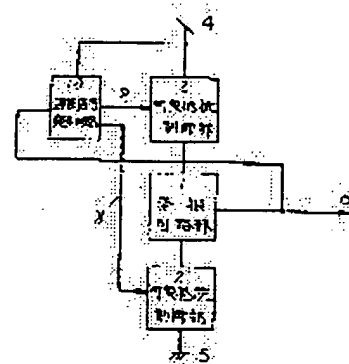
(22)Date of filing : 27.03.1986 (72)Inventor : HOSOKAWA YOSHIHIRO

## (54) OSCILLATION CIRCUIT

### (57)Abstract:

**PURPOSE:** To reduce the oscillation start time and to reduce the power consumption by detecting the oscillation start of the titled oscillation circuit to generate a delay signal and using the delay signal to control a resistance control circuit inserted between the oscillation circuit and ground potential and between the oscillation circuit and a voltage supply source thereby changing the resistance value of the resistance control circuit.

**CONSTITUTION:** A voltage  $V_4$  of a power supply 4 is fed to the oscillation circuit 1 via a variable resistance control circuit 2 and when the voltage  $V_4$  is a prescribed value or over, an oscillation output waveform  $V_6$  is outputted to an output terminal 6. The output waveform  $V_6$  is detected and after the delay time elapses till the oscillation is made stable, a start signal  $V_8$  is generated from a delay signal generating circuit 10. The resistance of variable resistance control circuits 2,2' is increased by using a start signal  $V_8$  to reduce the oscillation amplitude. Then the resistance of the oscillation circuit is changed to reduce the oscillation time and to reduce power consumption.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑮ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)10月3日

H 03 B 5/36

6749-5J

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 発振回路

⑯ 特 願 昭61-69015

⑰ 出 願 昭61(1986)3月27日

⑱ 発 明 者 細 川 義 浩 門真市大字門真1006番地 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地

⑳ 代 理 人 弁理士 中尾 敏男 外1名

## 明 細 書

## 1、発明の名称

発振回路

## 2、特許請求の範囲

発振回路の発振開始を検出して遅延信号を発生させる遅延信号発生回路と、その遅延信号により、前記発振回路と接地電位との間および同発振回路と電源電圧供給源との間に挿入されたそれぞれの抵抗制御回路の抵抗値を変化させる手段をそなえた発振回路。

## 3、発明の詳細な説明

産業上の利用分野

本発明は発振開始の時間が早く、かつ消費電力の小さな発振回路に関する。

従来の技術

従来発振回路の電源投入後の発振開始時間を短かくするには、発振回路の能力を大きくし、接続される水晶振動子やセラミック発振素子に供給するエネルギーを大きくすることが必要であったが、このことは、消費電力を大きくすることにつなが

り、低消費電力と相反する。

近年情報処理速度がますます高速化されるに伴い、また集積回路の大規模化にともない、高速、低消費電力の発振回路の要求が多い。特に、電池駆動の場合、低消費電力化は不可欠であり、回路を使用しない、いわゆるスタンバイモード時には、低消費電力が必須であり、かつ回路の使用状態では、できる丈すみやかに発振を開始して、動作状態に移行することが必要である。従来この両者を両立させることが困難であった。

発明が解決しようとする問題点

このように従来の回路では、相反する要求を満足させることが困難であった。本発明は、かかる点に鑑みてなされたもので、発振の立ち上がり時間の短縮と低消費電力化を同時に達成する回路の提供を目的としている。

即ち、本発明は上記問題点を解決するため発振開始時には発振回路に大きな電流を供給することで発振開始時間を短かくし、発振が安定した後には発振回路に供給する電流を制限し低消費電力化

を達成する回路を構成する。

問題点を解決する手段

本発明は発振回路の発振開始を検出して遅延信号を発生する遅延信号発生回路と、その信号により前記発振回路と接地電位間および前記発振回路と電源電圧供給源との間に挿入された各可変抵抗回路の抵抗値を変化させる手段とで構成される。

作用

本発明は上記構成により発振開始時には可変抵抗回路の抵抗値を小さくし、発振回路に供給する電流を大きくして発振開始時間を短縮し、また発振が安定した後はその抵抗値を大きくすることで、その電流値を発振維持電流値の最小値近傍まで絞り込み、消費電流が最小限に制御される。

実施例

第1図は本発明の発振回路の一例を示すブロック図である。第1図において、1は発振回路、2、2'は可変抵抗制御回路、4は電源、5は接地電位点、6は発振回路出力端子で例えばクロック波形として利用される。そして、この出力端子6の発

回路のインバータ部分を形成する。13、14は容量であり、15は水晶又はセラミック発振子、16はインバータである。21、22は電源と発振回路の相補対トランジスタ11、12間に接続された並列接続トランジスタ、31、32は接地電位と発振用インバータ間に接続された並列接続のトランジスタであり、それぞれ第1図中の可変抵抗制御回路の2、2'に対応する。

発振開始時には、第2図のように、遅延信号発生回路10の出力端子8に現われる電位V8は“L”であり、このときPチャネルトランジスタ21、22はともにオンであり、また、Nチャネルトランジスタ31、32もともにオンである。発振が開始して、ある遅延時間後、出力端子8の電位は“H”に変化し、この信号で駆動されるPチャネルトランジスタ22およびNチャネルトランジスタ32はオフとなり、発振回路に供給される電流は、それぞれPチャネルトランジスタ21およびNチャネルトランジスタ31を通してのみとなるため、これらの抵抗値を最小限の発振維持

振波形を検出し、更に発振が安定するまでの時間だけ遅延して起動される遅延信号発生回路10をそなえている。8、8'はその出力信号であり、この信号により、可変抵抗制御回路2および2'の抵抗値が制御される。

第2図は信号波形の一例であり第1図示の回路で電源4の電圧V4が、ある値以上になると発振が開始され、発振出力波形V6が得られる。この発振を検出し、安定する迄の遅延時間経過後遅延信号発生回路10から起動信号V8の信号が発生する。起動信号V8の信号により、可変抵抗制御回路2および2'の抵抗値を増大させ発振々幅を減少させ、低消費電力を達成する。この時の振幅は、次段の分周回路を駆動できる大きさがあれば十分である。

更に具体的回路例を第3図に示す。

第3図ではL M O S回路の場合を示す。

11、21、22はPチャネルトランジスタ、12、31、32はNチャネルトランジスタであり、相補対のトランジスタ11、12により発振

電流に設計することにより安定発振後の消費電流を最小値に抑えることが可能となる。本実施例のうち、相補対のトランジスタ11、12の極性変更ならびに他の各トランジスタをN-MOS、P-MOSおよびバイポーラで置き換えて構成される回路の場合にも同様に適用できる。

発明の効果

以上述べてきたように、本発明によれば発振開始時間を短縮化し、かつ使用時の消費電力を最小限にすることができ、高速、低消費電力の回路には極めて有効である。

#### 4、図面の簡単な説明

第1図は本発明の一実施例発振回路を示すブロック図、第2図はその各ブロックの電圧波形図、第3図はC M O Sを用いた一実施例回路図である。

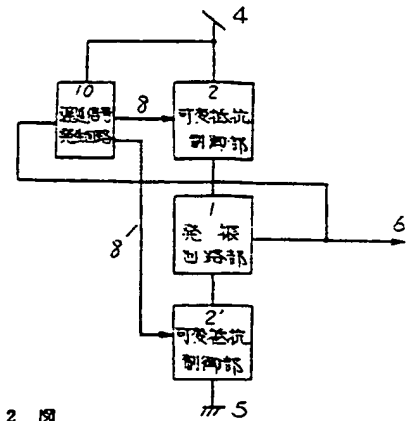
1……発振回路、2……可変抵抗制御回路、10……遅延信号発生回路、4……電源、5……接地電位、6……発振出力端子、11、21、22……Pチャネルトランジスタ、12、31、32……Nチャネルトランジスタ、13、14……容量、

15 ……発振素子（ はセラミックなど）、

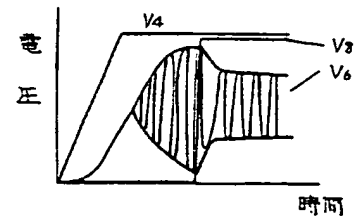
16……インパータ。

代理人の氏名 弁護士 中 尾 敏 男 ほか1名

圖 1



第 2 圖



第 3 図

